

# 2014 SoC 학술대회 논문 모집

2014년 대한전자공학회 SoC 설계 연구회에서는 논문 발표회 및 특별 강좌 프로그램을 아래와 같이 개최하오니 산학연 관련 논문을 많이 투고하여 주시기 바랍니다.

◆ **일시** : 2014년 5월 17일(토) 10:00~17:30 (학술발표)  
2014년 5월 16일(금) 18:30~21:00 (전야제)

◆ **장소** : 한양대학교 ITBT관 911호

◆ **발표분야** : SoC 설계 전 분야

A. Analog & RFIC

1. Analog and Mixed-signal Circuits
2. RF ICs
3. High Speed Signal Interface Circuits

B. Digital

1. Microprocessors, DSP Architectures
2. Multimedia (Audio/Video) SoC
3. Communication SoC

C. Design Methodology

1. SoC Design Methodology
2. SoC Testing and Verification
3. Signal Integrity and Interconnect Modeling

D. Embedded Systems & Power IC

1. Memory Circuits and Display ICs
2. Embedded Systems and Software
3. PMIC and Low Power Design Techniques
4. Emerging Technologies

◆ **논문 제출 방법**

① 논문 접수 마감 : 2014년 4월 4일 4월 18일(금)

※ 논문 제출 방법은 학술대회 홈페이지 (<http://soc2014.org>) Paper Submission에서 확인 바랍니다.

② 심사 결과 통보 : 2014년 4월 11일 (금)

※ 이메일 통보 및 홈페이지 참조

※ 본 학술대회에서 선정된 우수 논문은 시상 및 대한전자공학회 논문집 SD편과 JSTS에 추천됩니다.

☎ 담당자 :

한양대학교 융합전자공학부 김동규 교수 ([DQKIM@hanyang.ac.kr](mailto:DQKIM@hanyang.ac.kr))  
최원섭 (02-2220-4926 / [wsc@hanyang.ac.kr](mailto:wsc@hanyang.ac.kr))



**ETRI** 한국전자통신연구원  
SW-SoC융합R&BD센터

Hanyang University **BK21**플러스+



**KETI** 전자부품연구원  
Korea Electronics Technology Institute

| 주 최 | 대한전자공학회 SoC 설계 연구회  
| 주 관 | 한양대학교, 전자통신연구원 SW-SoC 융합R&BD센터,  
전자부품연구원, 한양대학교 BK21 사업단



## Session A1-2 : Analog

세션번호	발표시간	발표장소	좌장
A1-2	9:30 - 10:45	207호	문용 교수(송실대)

- **No.1**

Ge 광 검출기를 사용한 25 Gb/s CMOS 혼성 집적 광 수신기

정현용, 이정민, 윤진성, 최우영  
(연세대학교)

- **No.2**

고성능 LLC 공진형 컨버터 IC를 위한 50% 듀티 보정 회로 설계

황종근, 장기창, 박철규, 최종호  
(서울시립대학교)

- **No.3**

CDR 성능 평가를 위한 온 칩 지터 허용치 측정 기술

손경섭, 강진구  
(인하대학교)

- **No.4**

Background calibration을 이용한 12-bit 500MS/s Binary-Weighted 전류 구동 DAC

최영재, 김우철, 박상훈, 김기진, 안광호, 류승탁  
(한국과학기술원, 전자부품연구원)

- **No.5**

NP-core 구조를 가진 고성능 LC-VCO

정혜임, 안세혁, 김남수  
(충북대학교)

# Ge 광 검출기를 사용한 25 Gb/s CMOS 혼성 집적 광 수신기

정현용, 이정민, 윤진성, 최우영

연세대학교 전기전자 공학과

전화: (02)2123-7709, E-mail: [hyjunghyjung@gmail.com](mailto:hyjunghyjung@gmail.com)

## 25-Gb/s CMOS Hybrid-Integrated Optical Receiver with Ge-Photodetector

Hyun-Yong Jung, Jeong-Min Lee, Jin-Sung Youn, Woo-Young Choi

*Department of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea*

### 요 약

본 논문에서는 65 nm CMOS 공정을 사용하여 25 Gb/s 급 광 수신기를 구현하였다. 구현된 광 수신기는 개별적으로 구현된 광 검출기와 광 수신기가 본딩으로 연결될 경우 생기는 기생 컵과 저항성분들을 고려하여 설계되었다. 이러한 기생 성분들은 고속 성능을 방해하지만 본 논문에서는 이를 고려하고 최적화를 통해 넓고 편평한 대역폭을 얻었다. 구현된 광 수신기는 전치증폭기, 오프셋 제거회로, 후치 증폭기, 출력 버퍼로 구성된다. 전치 증폭기는 셉트 셉트 부재한 구조이고 후치 증폭기는 여섯 단으로 구성되어 있으며, 능동 제한 회로 기법을 사용하여 높은 전압 이득과 넓은 대역폭을 확보하였다. 광 수신기 회로는 FR4 PCB 위에서 SOI 공정으로 제작된 Ge-광 검출기와 본딩 와이어로 집적되었다. 구현된 광수신기를 통해  $10^{-12}$  이하의 비트 에러율 성능을 만족 시키며 25 Gb/s  $2^{31}-1$  PRBS 광 신호를 성공적으로 전송하였다. 제작된 광 수신기는 0.33 mm x 0.36 mm 의 칩 크기를 가지며 출력버퍼를 제외하고 1.2 V 전원에서 81.6 mW 의 전력을 소모한다.

### Abstract

This paper presents a 25-Gb/s optical receiver fabricated with standard 65-nm CMOS technology. Our receiver is designed with consideration for parasitic inductance and capacitance due to bonding wires connecting the photodetector and the circuit realized separately. Such parasitic inductance and capacitance usually disturb the high-speed performance but, with careful circuit design, we achieve optimized wide and flat response. The receiver circuit is composed of a transimpedance amplifier (TIA) with a DC-balancing buffer, a post amplifier (PA), and an output buffer. The TIA is designed in the shunt-feedback configuration with inductive peaking. The PA is composed of a 6-stage differential amplifier having interleaved active feedback. The receiver circuit is mounted on a FR4 PCB and wire-bonded to an Ge-PD fabricated in Silicon-On-Insulator (SOI). Our optical receiver successfully demonstrates 25-Gb/s  $2^{31}-1$  electrical pseudo-random bit sequence data transmission with the bit-error rate less than  $10^{-12}$ . The receiver as chip area of 0.33 mm  $\times$  0.36 mm and it consumes excluding the output buffer 81.6 mW with 1.2-V supply voltage.

**Keywords :** Bonding wire, CMOS, hybrid integration, optical receiver circuit

### I. 서 론

최근 들어, 칩 간 또는 보드 사이에서 요구되어지는 데이터 속도가 높아짐에 따라 광 연결 기술의 필요성이 크게 증가하고 있다. 광 연결을 위한 광 수신기는 광 검출기와 전기 회로가 단일 칩 집적을 하는 것이 바람직 하지만 대부분의 광 수신기들은 빠른 속도의 구현을

위해 III-V족으로 구현된 광 검출기를 사용하여 혼성 집적 방식으로 구현된다. 하지만 혼성 집적을 하게 되면 부가적인 기생 캐패시턴스와 인덕턴스 성분이 생기면서 빠른 속도의 구현을 제한하고 편평한 주파수 특성을 방해하게 된다 [1]. 본 논문에서는 Silicon-on-Insulator (SOI) 공정을 이용한 Ge 광 검출기를 사용하여 혼성 집적 광 수신기를 구현하였다. 구현된 광 수

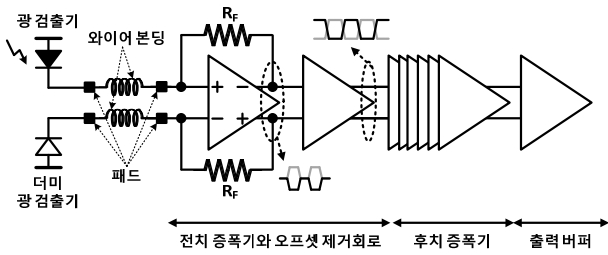
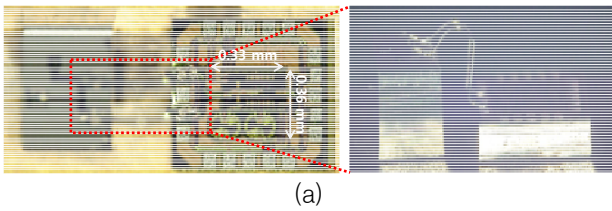
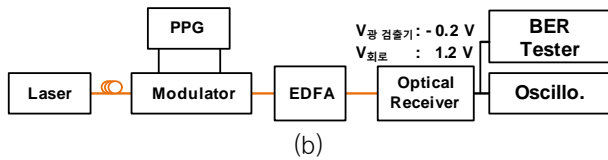


그림 1. 25 Gb/s CMOS 혼성 집적 광 수신기 구조도



(a)



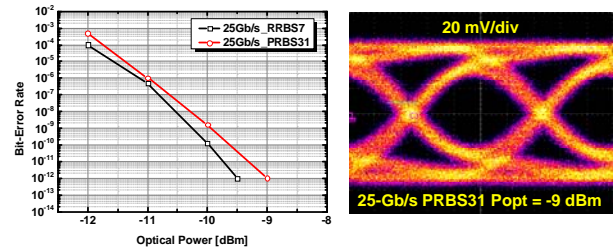
(b)

그림 2. (a) 제작된 광 수신기 칩 사진 (b) 광 신호 전송 실험 구조.

신기는 높은 대역폭의 확보를 위해 혼성 집적을 하면서 생긴 패드와 본딩 와이어의 기생 캐패시턴스 값과 인덕턴스 값을 고려하였고, 구현된 25 Gb/s 광 신호를 성공적으로 전송하였다.

## II. 25 Gb/s CMOS 혼성 집적 광 수신기

그림 1 은 제작된 25 Gb/s CMOS 혼성 집적 광 수신기의 구조도를 보여준다. 광수신기는 광 검출기, 전치 증폭기, 오프셋 제거회로, 후치 증폭기로 구성되며, 회로는 공통 모드 잡음을 제거하기 위하여 완전 차동 구조로 설계되었다. 또한 광 검출기와 전기 회로는 와이어 본딩을 통해 혼성 집적되었다. SOI 공정을 이용한 Ge 광 검출기가 사용되었다. Ge 광 검출기는 도파관 유형의 P-I-N 접합 구조를 가지고 있으며 격자 결합기를 통해 빛 주입이 가능하다. Ge 광 검출기의 출력 전류 신호는 전치 증폭기에 의해서 전압 신호로 변환된다. 회로 잡음을 줄이고 높은 전류-전압 증폭률을 얻기 위해 섀트 섀트 부패환 구조로 설계 되었다. 차동 구조의 전치증폭기는 한쪽에서만 입력을 받기 때문에 아웃풋 전압에서 DC 오프셋 문제가 생기게 되어 유사 차동 신호가 나오게 된다. 이는 오프셋 제거 회로에 의해 해



(a)

(b)

그림 3. (a) 측정된 광수신기의 비트 에러율 성능 (b) 25 Gb/s eye diagram

결되며 완전 차동 신호를 얻을 수 있게 된다.

후치 증폭기는 오프셋 제거 회로의 출력 전압을 광 수신기 다음 단계에 위치하는 디지털 회로나 clock and data recovery 회로가 인식 할 수 있도록 증폭시키는 역할을 한다. 고속 신호를 성능 저하 없이 증폭하기 위해서는 높은 전압 증폭률과 넓은 대역폭을 갖는 증폭기 설계가 요구된다. 제작된 후치 증폭기는 여섯 단으로 구성되어 있으며, 능동 케환 회로 기법을 사용하여 높은 전압 이득과 넓은 대역폭을 확보하였다 [2]. 출력 버퍼는 측정을 위해 50 Ω의 출력 임피던스를 갖는다.

## III. 측정 결과

그림 2(a)는 제작된 CMOS 혼성 집적 광 수신기의 칩 사진을 보여준다. 수신기의 칩 크기는 0.33 mm x 0.36 mm 이고 출력 버퍼를 제외한 회로의 전력 소모는 81.6 mW 이다. 그림 2(b)는 광 신호 전송 실험 구조이다. 광 신호의 변조를 위하여 1550 nm 대역의 레이저 소스와 듀얼 암 구조의 모듈레이터가 사용되었다. 변조된 광 신호는 lensed fiber와 광 검출기의 격자 결합기를 통해 Ge 광 검출기에 주입되었다. Ge 광 검출기와 전기 회로에 인가된 전압은 각각 -0.2 V 와 1.2 V 이다. 그림 3(a) 은 측정된 CMOS 혼성 집적 광 수신기의 비트 에러율 (bit error rate, BER) 성능을 보여주고 있다. 25 Gb/s 변조된 광신호가 전송 되었을 때  $10^{-12}$  이하의 비트 에러율을 만족하기 위해  $2^{31}-1$  유사 랜덤 비트 시퀀스 (pseudorandom bit sequence, PRBS) 신호에 대해서 -9 dBm 의 수신기의 민감도가 요구되었다. 그림 3(b)는 Ge 광 검출기의 입력 광 파워가 -9 dBm 일 때 측정된 25 Gb/s eye diagram을 보여준다.

#### IV. 결 론

본 논문에서는 SOI 공정을 이용한 Ge 광 검출기와 표준 65 nm CMOS공정을 이용한 수신기 회로 혼성 집적하여 고속 광 수신기를 구현하였다. 제작된 광 수신기를 사용하여 입력 광 파워가 -9 dBm 일 때  $10^{-12}$  이하의 비트 에러율 성능을 만족 시키며 25 Gb/s  $2^{31}-1$  PRBS 광 신호를 성공적으로 전송하였다. 제작된 혼성 집적 광 수신기는 근거리 고속 광 연결 응용에 사용 가능성을 보여준다.

#### Acknowledgments

This work was supported by IDEC and the National Research Foundation of Korea (NRF) grant funded by the Korea government (MEST) (2012R1A2A1A-01009233).

#### 참 고 문 헌

- [1] Y. Dong, and K. W. Martin, "A high-speed fully-integrated POF receiver with large-area photo detectors in 65 nm CMOS," IEEE J. Solid-State Circuits, vol. 47, no. 9, pp. 2080-2092, Sep. 2012.
- [2] J. Han, B. Choi, M. Seo, J. Yun, D. Lee, T. Kim, Y. Eo, and S. M. Park, "A 20-Gb/s transformer-based current-mode optical receiver in  $0.13\text{-}\mu\text{m}$  CMOS," IEEE Trans. Circuits Syst. II, vol. 57, no. 5, pp. 348-352, May 2010.